

DIALOG(R)File 352:Derwent

(c) 2000 Derwent Info Ltd. All rts. reserv.

003574731

WPI Acc No: 1983-C2924K/198307

**Active matrix board with low light leakage - has driving circuit
integrated with active matrix circuit on glass board. NoAbstract**

Patent Assignee: SUWA SEIKOSHA KK (SUWA)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 58004180	A	19830111				198307 B

Priority Applications (No Type Date): JP 81102984 A 19810630

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 58004180	A	6		
-------------	---	---	--	--

Title Terms: ACTIVE; MATRIX; BOARD; LOW; LIGHT; LEAK; DRIVE; CIRCUIT;
INTEGRATE; ACTIVE; MATRIX; CIRCUIT; GLASS; BOARD; NOABSTRACT

Derwent Class: P81; P85; U14

International Patent Class (Additional): G02F-001/13; G09F-009/35;

H01L-027/00

File Segment: EPI; EngPI

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
 ⑪ 公開特許公報 (A) 昭58—4180

⑫ Int. Cl.³
 G 09 F 9/35
 G 02 F 1/133
 G 09 F 9/00
 H 01 L 27/00

識別記号 廷内整理番号
 7520—5C
 7348—2H
 6865—5C
 6370—5F

⑬ 公開 昭和58年(1983)1月11日
 発明の数 2
 審査請求 未請求

(全 4 頁)

⑭ アクティブマトリクス基板

⑮ 特願 昭56—102984
 ⑯ 出願 昭56(1981)6月30日
 ⑰ 発明者 山田彪夫

謹訪市大和3丁目3番5号株式

⑮ 出願人 会社謹訪精工舎内
 株式会社謹訪精工舎
 東京都中央区銀座4丁目3番4
 号
 ⑯ 代理人 弁理士 最上務

明細書

発明の名称

アタティブマトリクス基板

特許請求の範囲

データ線とゲート線のマトリクスからなり、前記データ線とゲート線を駆動するために各々シフトレジスター列と含む周辺駆動回路が内蔵され、しかも前記周辺駆動回路はマトリクス回路を囲う基板周辺部に配置されたアタティブマトリクスECD基板において前記周辺駆動回路と構成するすべてのトランジスタ、あるいはその中の1部が、マトリクス回路に統合して、高密度の高いトランジスターで構成されていることを特徴とするアタティブマトリクス基板。

発明の詳細を説明

本発明ソーダガラス、ホウケイ酸ガラス、あるいは石英等の透明基板上に少なくとも多結晶シリコンあるいはアモルファスシリコンを主構成部材

としてなるアタティブマトリクス基板に関するものである。

近年平板型液晶ディスプレーは腕時計、電子玩具を始めとして自動車、計測器、情報機器等々へと応用分野が拡大されつつあり、特に最近においては半導体集積回路技術によってヨリ基板上へスイッチング用トランジスタ回路をマトリクス状に形成したヨリ画面と透明ガラス板間に液晶を封入したテレビ画像表示用の液晶ディスプレーパネルが開発されている。

アタティブマトリクス方式で液晶パネルを構成した例では前記半結晶ヨリ画面を用いたものやガラス基板上に導線トランジスタを形成したもの及びパリスチ基板を用いたものなどが既に報告されているが中でも大量ペネル化をねらびにコスト面から前記ガラス基板上に導線トランジスタを形成してなるアタティブマトリクス基板は将来有望を方式と考えられている。

従来ガラス基板上に多結晶シリコン等を堆積して形成される導線トランジスタは基板に対する熱膨

特開昭58-4180 (2)

約から低価プロセスを用いざるを得ないことは周知の通りである。しかし前記複数トランジスタを用いてのアタタイプマトリクス基板の場合アタタイプマトリクス回路はともかくとして周辺駆動回路は高周波動作を要求されるため少なくとも易動度は単結晶シリコンに近いものでなくてはならぬ。そのため周辺駆動回路は単結晶シリコン基板上に形成しアタタイプマトリクス基板にいわゆる外付けするところが一般的である。

しかし従来の前記方式では周辺駆動回路基板の製造費は初期のことアタタイプマトリクス基板への外付け費用を含めると当然の事ながら大巾をコストアップに結がることは云うまでもない。

又基板材として石英基板のように耐熱性を有する材料を用いてアタタイプマトリクス基板を形成した場合は1000℃以上の高熱プロセスも可視となるため周辺駆動回路を内蔵したアタタイプマトリクス基板の製造は可視となる。

しかしここで一つ問題となるのは光リーダーについてである。

本来平板液晶ディスプレーは携帯用かつ野外用としての利用範囲が大きく当社の事ながら太陽光の下での使用頻度が多くなる。

アタタイプマトリクスLCD基板は直接太陽光が表示面を照射するためLCD基板内にも光が入射する。LCD基板内への入射光は電子と正孔を発生させ基板内に拡散しアーチ接合部に到達するとアーチ接合部に電流が流れてしまう。すなわちこの光起電力効果はトランジスタのソースドレインのアーチ接合部にリーダー現象を引き起こし正しい画像表示が得られなくなり画像がちらついたり消えたりする。このため前記光リーダー現象を押さえための一手段としては基板の易動度を小さくしリーダー電流の低減を計ることであり、前述の如くアタタイプマトリクス回路においてはそれがある程度可能であるからである。

しかしながら前記高熱プロセスは石英基板上の多結晶シリコン全体を結晶化させることにより当然移動度が高くなり光リーダーが増加し好ましい構造とはいえない。

又、近来は周知の如くレーザー光あるいはヨリ（エレクトロンビーム）を用いて無定形あるいは多結晶のシリコン面に照射することにより結晶化をはかつたり、あるいはイオン照射時のダメージを補正する技術が開発されてきている。

中でもレーザー加熱にはCWアルゴンレーザー、CWクリプトンレーザー、バルスYAGレーザー、CW励起YAGレーザーなど種々の方式があり出力、エネルギーあるいはスポット径をはじめとして生産性安定性にいたるまで構造上、動作上、の本質的な違いを有しており目的による選択も重要を要素となる。

このレーザー光を用いてのレーザーアニール技術を用いれば、例えばガラス基板上に周辺駆動回路を内蔵したアタタイプマトリクス基板にレーザーアニールし全體に移動度を高めることは可視となる。しかしレーザーアニール効果はスポット径と照射時間によりスループットが決定されるため基板全體にレーザーアニール加工を行なうと例えば1時間当たりの生産性は基板枚数相成りと少量であり効

率のきわめて悪い工場となってしまう。

以上述べた如く光リーダーに強くしかも低価格アタタイプマトリクス基板を製造するには従来方式における種々の欠点を改善する必要がある。

本発明は従来の欠点を除去せしめるものでありますをわちガラス等の透明基板上に多結晶シリコンあるいはアモルファスシリコンを主構成部材とするアタタイプマトリクス回路を形成し、しかも同一基板上に前記アタタイプマトリクス回路を包み込む形で周辺駆動回路を配置し、該周辺駆動回路領域のみをレーザーアニール加工等を行ないトランジスターの易動度を高めるというものである。すなわち前述の如く周辺駆動回路の内蔵化をはじめとし、易動度を高める一手段としてレーザーアニールを基板周辺部の駆動回路のみに照射するためスループットを向上し、しかも内部のアタタイプマトリクス回路の易動度を小さくしたため光リーダー防止の网上も計れるという特徴を備えたものである。

次に本発明を下記にしるす実施例にもとづいて詳

特開昭58-4180 (3)

面に説明する。

実施例(1)

第1図は本発明によるアクティプマトリクス基板でありホウケイ酸ガラス基板1上にアクティプマトリクス回路2を中心部に周辺駆動回路3を外周部に配置したものである。

第2図(1)～(4)は本発明のアクティプマトリクス基板の製造過程を説明するための基板断面図である。まず第2図(1)の如くホウケイ酸ガラス基板1上に8250℃の液化炭素気中にて5000Aの第1の多結晶シリコン膜4を形成後該多結晶シリコン膜4をホトエッチャングし部分的に開孔せしめる。次に基板上の開孔部をむち第1図の周辺駆動回路3の領域内のみ第2図(1)の如くCVD起立式レーザーを光源としたビーム径2.00mm、線速度50cm/sでビームを左右の方向にスキャンさせながら、しかも1～4の順序にてレーザーアニール加工を行なった。次に第2図(1)の如くに全面にCVD-ヨリオ、膜5を2000A堆積したのち前記第1の多結晶シリコン膜と同一形成方法で第

2の多結晶シリコン膜6を形成したのち、多結晶シリコン膜6のソースドレイン部の開孔をホトエッチャングにて行なう。

次に基板全面上に $1 \times 10^{10}/cm^2$ のリンイオンを照射し850℃1日フォーミングガス中にてアーチルを行ない拡散層を形成する。次に第2図(1)の如くCVD-ヨリオ、膜7を形成した後コンタクトホールを開孔し引つづき電極8の形成を行ないアクティプマトリクス基板の形成を終了する。本実施例にもちいたアクティプマトリクス回路のゲート及びデータ線のライン数は各々300本であり本基板を用いてデーター線は約1MHz、又ゲート線も25MHzでの動作が確認され液晶表示ディスプレーとして充分な性能を有することが確認されている。又レーザーアニール加工の効果としてアーチルのスループットは従来に較べて數倍以上の向上をみせておりさらに基板はアクティプマトリクス回路中では約10cm/s-1000であり周辺駆動回路部では約10cm/s-100が得られている。

実施例(2)

実施例(1)と同様に第1の多結晶シリコン膜を形成後ホトエッチャングにて部分的な開孔を行なった後第2図(1)の如く実施例(1)と同一条件にて周辺駆動回路の(1)と(2)の領域をレーザーアニール加工したのち周辺駆動回路の(3)と(4)を(1)及び(2)に較べて低出力の約1.7mWのエネルギー密度で照射した。すなわち周辺駆動回路の(3)と(4)の領域はゲート駆動用である(1)及び(2)のデーター線用に較べて低周波動作が可能をため周辺駆動回路全体を同一エネルギー密度で照射する必要性はなく本実施例の結果でもゲート線を動作させるために充分な基動度を得ることが確認されしかも基板外周部の(3)と(4)は低エネルギー密度照射のためスループットは実施例(1)に較べてさらに向上している。

実施例(3)

実施例(1)と同様に第1の多結晶シリコン膜を形成後ホトエッチャングにて部分的な開孔を行なった後第2図(1)の如く実施例(1)と同一条件にて周辺駆動回路の(1)と(2)領域をむちデーター線駆動回路領域のみをレーザーアニールする。

すなわち実施例(2)にて説明の如く特にゲート線のライン数の少ないアクティプマトリクス基板については本方式でも充分対応が取れスループットの大巾を向上がのぞめる。

実施例(4)

実施例(1)と同様に第1の多結晶シリコン膜を形成後ホトエッチャングにて部分的な開孔を行なった後第2図(1)の如く基板の周辺駆動回路領域へのレーザーアニール照射を先ず(1)の領域にビームを矢印の如く左右にスキャンさせて行まい、つづいて基板を中心に対して90°回転し(2)の領域を(1)と同一方式にて照射しつづいて同じ方式にて基板を回転させて(3)(4)の領域を照射する。この方式では実施例(1)に較べビームのスキャン数が大巾に減少出来るため実施例(1)に較べてスループットが向上出来る利点を有する。

以上実施例(1)～(4)にて説明した如く、本発明は平板液晶ディスプレイ等に用いられるアクティプマトリクス基板において、ガラス基板上にアクティプマトリクス回路と周辺駆動回路をワンチップ化

特開昭58-4180 (4)

第3回(1)~(6)は本発明におけるアクティブマトリクス基板上の周辺駆動回路領域へのレーザーファイバーネル照射方法を示す平面図

- 1...ガラス基板
- 2...アクティブマトリクス回路
- 3...周辺駆動回路
- 4...多結晶シリコン膜
- 5...CVD-SiO₂膜
- 6...多結晶シリコン膜
- 7...CVD-SiO₂膜
- 8...電極

以上

出願人 株式会社勝利精工會

代理人弁護士 墓 上 淳

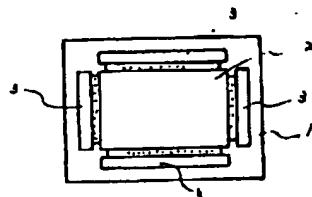
すると同時にレーザアーナー技術を利用し駆動回路のみにレーザーファイバーネル照射を行ないアクティブマトリクス回路に耐光リーフ対策をほどこしたものであり、低成本でしかも光リーフに強いアクティブマトリクス基板の提供を可能にしたものである。

本実施例において透明基板としてホウケンガラスを用いているが他にソーダガラスあるいは石英板等の透明基板でも良く、さらにトランジスター基板度を高め手数としてレーザーファイバーネルの他にヨリ等についても効果は確認されており、これらの照射条件についても目的に応じて自由に選択可能でありますから本発明の目的から逸脱するものではない。

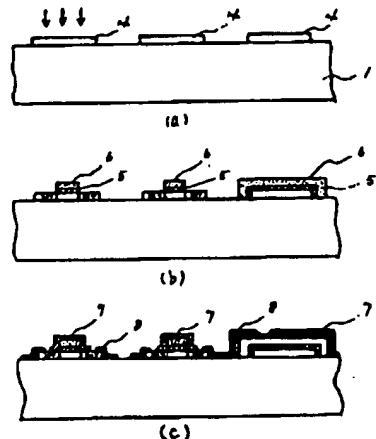
図面の簡単な説明

第1図は本発明によるアクティブマトリクス基板における回路配線図

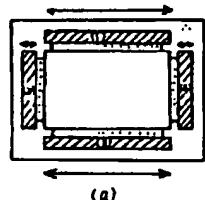
第2図(1)~(6)は本発明におけるアクティブマトリクス基板の製造過程を示す基板断面図



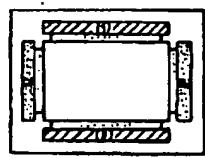
第1図



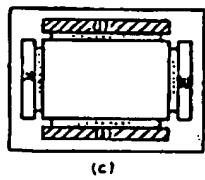
第2図



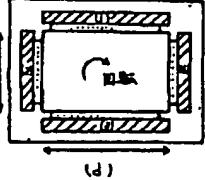
(a)



(b)



(c)



(d)

第3図